



Formation à la conception FPGA en VHDL avec Active-HDL (2 Jours)

Le langage de description de haut niveau VHDL (norme IEEE) permet la description à haut niveau d'abstraction de modèles comportementaux destinés à la programmation de composants programmables de type FPGA, en passant par les étapes, aujourd'hui classiques, suivantes :

- Conception HDL RTL
- Conception du TestBench
- Simulation HDL RTL
- Synthèse logique
- Simulation Gates Timing
- Programmation du FPGA

La formation décrite ci-dessous s'appuie profondément sur le langage VHDL, mais ne l'aborde pas directement.

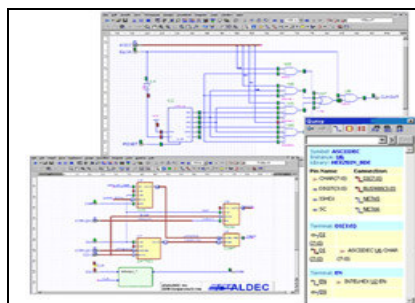
Objectifs et pré requis : La formation CADvision a pour objectif l'apprentissage de la conception sur la base du langage VHDL, spécifiquement à des fins de programmation de composants FPGA, et en se basant sur l'outil de conception graphique et texte Active-HDL, dont la maîtrise est l'intention majeure de la formation.

Le pré requis à la formation pour les stagiaires consiste en une formation initiale en conception électronique numérique incluant une introduction aux langages HDL. Nous recommandons également vivement l'usage du Tutorial gratuit pour se former au VHDL disponible en téléchargement gratuit sur www.cadvision.fr pour un rafraichissement sur le codage HDL.

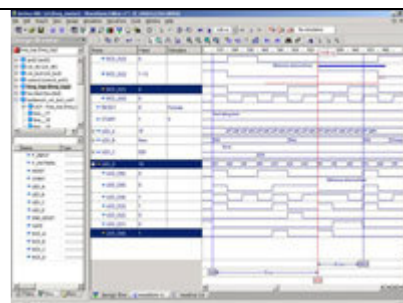
Encadrement et moyens : Un formateur expérimenté en conception VHDL et disposant d'une connaissance approfondie de l'outil Active-HDL encadrera la formation. Le support de formation consiste en un document électronique mis à la disposition des stagiaires, présenté à l'aide d'un vidéo-projecteur.

Suivi pédagogique et évaluations : Chaque journée de formation est constituée d'une partie théorique, puis d'une partie pratique qui permet de valider l'apprentissage précédent et de mesurer le niveau de compréhension, afin d'ajouter d'éventuels compléments.

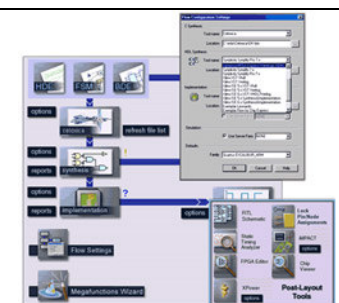
La fin de la formation consiste en la réalisation d'un projet complet permettant de valider l'ensemble du flot de conception.



Conception HDL RTL mixte Texte et graphique



Simulation HDL



Analyse Timing et Programmation FPGA



Paris : 2, rue Galilée
78280 Guyancourt
Tel. +33 1 39 30 65 06
Fax. +33 1 39 30 65 08

Valence : 5 rue Jean Bertin
Technoparc des Hautes Faventines
26000 Valence
Tel. +33 4 75 61 96 32
Fax. +33 1 39 30 65 08

L'équipe technique de
CADvision
support@cadvision.fr

Jour 1 : Conception et validation RTL d'un système basique, Simulation et Debug

- Le codage en VHDL pur de la structure (basé sur un exemple complet, qui permettra de rappeler certains fondements du langage VHDL)
- Les avantages d'une approche graphique :
 - o Introduction générale à l'outil Active-HDL
 - o Les intérêts de l'approche schématique (valable pour tous les flots Xilinx, Altera, Lattice, Actel) pour la conception Top-Down et Bottom-Up
 - o Le codage d'une FSM (Finite State Machine)
 - Exemple basé sur l'éditeur graphique State Diagram
 - Equivalence entre vue graphique et code HDL
 - o Analyse des stratégies de codage particulières pour la synthèse FPGA
- Introduction sur la simulation HDL interactive, application sur l'exemple développé.
- La ré-utilisation de blocs de propriété intellectuelle, une approche classique des flots FPGA
 - o Intérêts
 - o Application sur un exemple simple.
 - o Les ressources disponibles dans Active-HDL
- Déroulement rapide du flot complet jusqu'à la génération des fichiers de programmation.
- Principe et fonctionnement d'un TestBench
- Conception d'un TestBench :
 - o Stimuli interactifs
 - o Réalisation de la structure du TestBench
 - o Systèmes de génération automatique
 - o Scripts de compilation et simulation
- Simulation et analyse post-simulation
 - o Lancement de la simulation et traçage des signaux
 - o Etude d'un chronogramme de simulation
 - o Scriptage

Jour 2 : Simulation avancée, Application sur exemple réel, Synthèse globale et techniques avancées

- Simulation interactive pas-à-pas
 - o Forçage des signaux en simulation
 - o Visualisation des zones mémoires
 - o Utilisation des fenêtres avancées (Advanced DataFlow, X-trace, Event Source...)
- Lancement de la synthèse et du placement-routage FPGA
 - o Préparation et exécution des outils
 - o Récupération d'une netlist et d'un fichier SDF
 - o Analyse Post Layout
- Simulation Timing :
 - o Exécution d'une simulation Timing (Vital-SDF)
 - o Comparaison des chronogrammes RTL / Timing
 - o Analyse des résultats
- Application sur un exemple du flot complet, de la conception RTL jusqu'à la simulation Timing
- Etudes des fonctionnalités avancées d'édition :
 - o Remontée graphique avec le Code2Graphics
 - o Fonctions avancées des éditeurs
 - o La couverture de code (Code Coverage, Toggle Coverage)
- Session de questions/réponses et conclusion

Horaires et Dates nous consulter – Coût sur site : 1800 € / J – En nos locaux : 750 € / J / Personne



Paris : 2, rue Galilée
78280 Guyancourt
Tel. **+33 1 39 30 65 06**
Fax. +33 1 39 30 65 08

Valence : 5 rue Jean Bertin
Technoparc des Hautes Faventines
26000 Valence
Tel. +33 4 75 61 96 32
Fax. +33 1 39 30 65 08

L'équipe technique de
CADvision
support@cadvision.fr