

# DO-254 COMPLIANCE SOLUTION

Aldec propose une nouvelle solution logiciel/matériel qui aide à la vérification et la validation des systèmes aéroportés pour répondre à des exigences de sécurité particulières (Norme DO-254/ED80 chapitre 6.2 "Verification Process" et chapitre 11.4 "Tool Assessment and Qualification Process")

## Méthodologie de vérification

La solution de vérification d' Aldec intervient aux niveaux suivants de vérification de conception :

- **Simulation RTL, simulation post-synthèse, simulation Timing.** La simulation est conduite par l'ensemble des bancs d'essai et les résultats sont stockés dans la base de données signal (formes d'onde, etc.). La couverture de code et l'analyse de règles de codage permettent de faciliter la certification DAL-C/DAL-D.
- **Simulation Matérielle.** Le Design FPGA est mis en application sur la cible FPGA implantée sur la carte mère HES (Aldec). La simulation est conduite par le même banc d'essai (le banc d'essai reste dans le simulateur) utilisé pour la simulation RTL. Les résultats de la Co-simulation sont stockés dans la base de données signal et peuvent être comparés à ceux obtenus pendant la simulation RTL. Cette approche est particulièrement recherchée pour les projets soumis à DAL-A/DAL-B.

Une solution à plusieurs étapes, comme celle proposée par Aldec et Actel, peut permettre la vérification hardware de la conception à chaque phase de la conception et de l'implémentation. Les concepteurs peuvent employer le même banc d'essai et un ensemble de vecteurs de référence (Golden Vectors) pour la validation RTL dans le simulateur logiciel et dans le matériel.

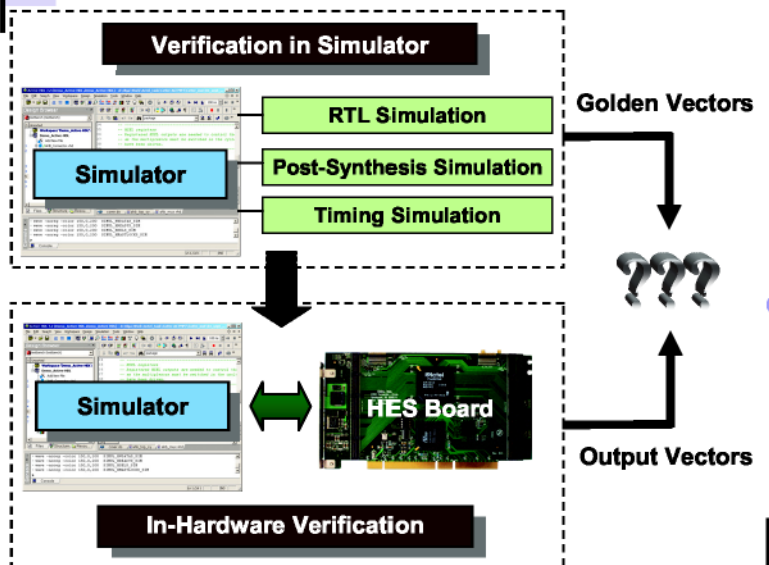
## Conformité des essais

Les résultats de simulation RTL et de simulation niveau portes logiques sont archivés dans un dossier de forme d'onde et comparés aux résultats de la vérification Hardware. En assumant que tous les résultats sont les mêmes, la conformité entre le modèle HDL et le matériel physique sera réalisée.

## L'accélération matérielle est dans la boucle

La simulation matérielle est employée pour atteindre deux buts importants : La vérification fonctionnelle de conception dans le vrai matériel et la possibilité de tester plus de cas sur le modèle matériel grâce à une exécution de la simulation à hautes performances.

La solution de conformité d' Aldec met en application automatiquement une conception RTL dans le matériel (Carte FPGA) et réutilise le même ensemble de bancs d'essai que dans la simulation RTL, assurant ainsi une comparaison sans faille



## Fonctionnalités et avantages :

- Simulateur Active-HDL – “complete RTL/Timing/In-Hardware verification”
  - Simulation mixte VHDL/Verilog
  - Code Linting
  - Code Coverage
  - Documentation
- Carte HES FPGA
  - Verification rapide du Design en hardware sur cible réelle, avec réutilisation du TestBench RTL, donc garantie de couverture à 100%
- Logiciel DVM (Design Verification Manager)
  - Migration automatique du Design dans le Hardware
  - Comparaison automatique des vecteurs de test